MCM-L BGA 모듈의 전기적 변수 및 잡음 특성 해석
Electrical Parameters and Noise Characteristics Analysis of a MCM-L BGA Module

최순신(전자과)

Soon-shin Choi (Dept. of Electronics)

Key Words : Multi Chip Module(다중칩모듈), BGA(Ball Grid Array), Electrical parameters, Solder ball

ABSTRACT : We extracted electrical parameters and analyzed noise characteristics of a MCM-L BGA module in this paper. In order to make a MCM-L module of a pentium chip and four 64K×18bit Burst SRAM bare chips we routed the 50㎜×50㎜ 8 layers MCM-L substrate according to the design rule of line width/pitch = 100㎛/250㎛. For the electrical parameters, we divided circuit elements into the components of conductor types which are wires, via holes, BGA balls etc. we analyzed the electrical characteristics of the MCM-L BGA module with the simulation tools of SPICE and XNS. We have found that the pentium chip module has 6㎊ of capacitance, 25nH of inductance and 65Ω of characteristic impedance on the avarage. The simulation analysis has shown that the average signal delay was 0.5ns and the maximum crosstalk noise was 281㎷. We realized that the MCM-L module was adequate for a high speed module of requiring the signal delay of less than 1㎱.

1. 서론

MCM(Multi Chip Module, 다중칩 모듈)을 구성하여 전기적 특성을 개선시키고 동시에 모듈의 물리적 크기와 무게를 감소시키는 연구는 전자부품의 고속화를 이루는데 병목 현상으로 작용하는 문제들을 MCM 모듈 구성방법으로 해결하려는 노력으로써 지난 수년간 계속 연구되어 왔다.[1] 하지만 모듈 구성에서 공정비용이나 공정장비 비용이 비싸면 MCM 모듈 구성기술들의 장점을 실질적인 생산기술로 적용시킬 수 없게 된다. 따라서 MCM-D, MCM-C, MCM-L, MCM-LC 등 여러 가지 MCM 구성 기술 가운데 공정비용이 적게드는 MCM-L 모듈 기술 적용에 대한 연구가 계속되고 있다.[4,5]

이동성있는 노트북에서도 펜티엄 칩과 그 주변 캐시메모리를 한 단위로 하여 고속으로 동작하는 MCM-L (MultiChip Module-Laminated)모듈을 구성하게 되면 모듈의 크기와 무게를 감소시킬 수 있고, 프로세서의 동작 속도를 개선시킬 수 있게 된다. 그 이유는 다중칩 모듈 기술은 높은 실장밀도 및 배선 밀도를 이룰 수 있고 배선 길이의 축소에 따른 향상된 전기적 특성 및 열적 특성을 제공하기 때문이다. 그러나 밀집된 영역에 고속, 고밀도 칩을 탑재함으로써 발생되는 전기적 잡음과, 열적인 문제는 고밀도 전자 패키징 기술로 해소시켜야 한다.[6,7,8]

MCM-L 기술은 증착 방법이나 세라믹 재료를 이용하는 MCM-D, MCM-C 공정보다 제조비용이 저렴하고 비교적 잘 확립된 인쇄회로 기판(PCB) 기술을 이용하고 있다. 따라서 기존의 인쇄회로기판(PCB) 기술보다 더 높은 칩 실장밀도와 회로 배선밀도를 이룰 수 있고, 다른 다중칩 모듈 기술보다 저렴하고 빠른 공정사이클을 지닌 MCM-L 기술은 보다 효과적인 모듈 구성 방법으로 고려되고 있다. 더불어 외부 회로 보드와의 연결을 위한 밀도 높은 입출력 단자를 형성하는 BGA(Ball Grid Array) 패키징 구조는 MCM-L 기판의 밑면 전체에 solder ball

을 형성할 수 있어 PGA(Pin Grid Array), QFP(Quad Flat Package) 등과 같은 패키지 구조에 비해 더 많은 입출력 단자 연결이 가능하고 ball 형태의 짧은 리드로 인해 전기적인 기생성분을 축소할 수 있어 높은 주파수 동작을 실현할 수 있다.[3,4]

다중칩 모듈 구조는 여러 개의 칩이 고밀도로 배선된 기판 상에서 연결되는 형태로 구성되어지고, 3차원적 다층 배선구조를 가지고 있으며, 칩간의 연결 요소와 배선 선로간의 간격 등이 고밀도로 설계되기 때문에 높은 주파수로 동작될 때는 시스템의 잡음 여유를 축소시키고 극심한 경우 오동작을 초래하기 쉽다. 이러한 문제들은 특정한 네트 구조의 단순화된 배선 모델만으로 다중칩 모듈의 전기적 특성을 예측하기 어렵다. 그러므로 다중칩 모듈의 설계 변수에 따라 설계된 각 네트의 회로요소에 대한 전기적 변수 추출과 이를 통한 다중칩 모듈 전체 네트의 전기적 특성분석 및 잡음분석이 수반되어야 한다.[8,9]

본 논문에서는 MCM-L 모듈의 전기적 특성분석과 잡음특성을 해석하기 위해서 TCP(Tape Carriage Package) 형태의 펜티엄 칩과 베어칩 형태의 Burst SRAM 칩을 사용하여 구성된 다중칩 모듈을 예로 하였다. 2장에서는 펜티엄 캐시메모리 시스템의 구성회로를 나타내며, 3장에서는 캐시메모리 시스템을 8층 MCM-L 모듈로 설계, 구성하였다. 4장에서는 배선된 네트에서 전기적 잡음을 일으킬 수 있는 전기적 변수를 조사하였다. 전기적 변수 추출 과정에서는 배선구조를 스트립 라인, 마이크로스트립 라인, 비아홀 및 BGA ball 등 기본 배선 구조로 분할하였고, 전송선 전자기 해석 도구를 사용하여 L, C 값을 계산하였다. 5장에서는 계산된 변수값을 이용하여 배선된 MCM-L 모듈 전체 네트 구조의 신호특성 및 잡음 특성을 모의 실험을 통해 살펴보았고, 펜티엄 칩 MCM-L 모듈의 전기적 특성을 고찰하였다. 6장에서는 분석결과에 대해 검토하였고 결론을 맺었다.

2. 펜티엄 캐시메모리 시스템

캐시 메모리는 고속으로 동작하는 CPU와 상대적으로 낮은 데이터 접근 속도를 갖는 메인 메모리(DRAM) 사이에 위치하여 CPU와 메인메모리 사이의 데이터 전송지연을 제거하기 위한 메모리이다.[10] 캐시메모리는 일반적으로 빠른 데이터 접근 속도를 갖는 SRAM 또는 Burst (Pipelined) SRAM으로 구성되며, 자주 사용되는 데이터나 최근의 데이터를 미리 캐시 메모리 상에 저장하므로써 CPU의 데이터 읽기/쓰기 시간을 감소시키고 시스템 처리속도를 향상시킨다. 펜티엄 칩 자체 내에도 각각 8Kbyte의 데이터 및 코드 캐시 메모리를 내장하고 있으나, 이로써는 용량이 부족하여 보통 256Kbyte 또는 512Kbyte의 2차 캐시 메모리를 추가하여 동작시키게 된다.[10,11]

그림 1은 펜티엄 캐시 메모리 시스템 블록도이며 펜티엄 칩과 캐시 메모리 사이의 클럭 주파수는 CPU 입력 클럭 주파수와 같은 50㎒ ~ 66㎒로써 시스템의 다른 어느 부분보다도 높은 동작 주파수를 갖으며, 따라서 높은 전기적 신호 특성과 잡음 여유를 요구한다. 본 논문에서는 캐시메모리 시스템 중에서 펜티엄 칩과 512Kbyte 캐시메모리를 하나의 MCM-L 모듈로 구성하였다.

3. 펜티엄 칩 MCM-L 모듈 설계

본 논문에서는 MCM-L 모듈의 전기적 특성과 잡음 특성을 분석하기 위하여 TCP 펜티엄 칩(실장면적=28.5㎜×28.5㎜)과 4개의 64K×18bit burst SRAM (실장면적 = 10.0㎜×10.0㎜)를 사용하여 50㎜×50㎜ 배선 면적을 갖는 8층 MCM-L 기판 상에서 배치, 배선을 실시하였다. 이때

회로 기판 구조의 배선층에 대한 규정은 그림 2와 같다.

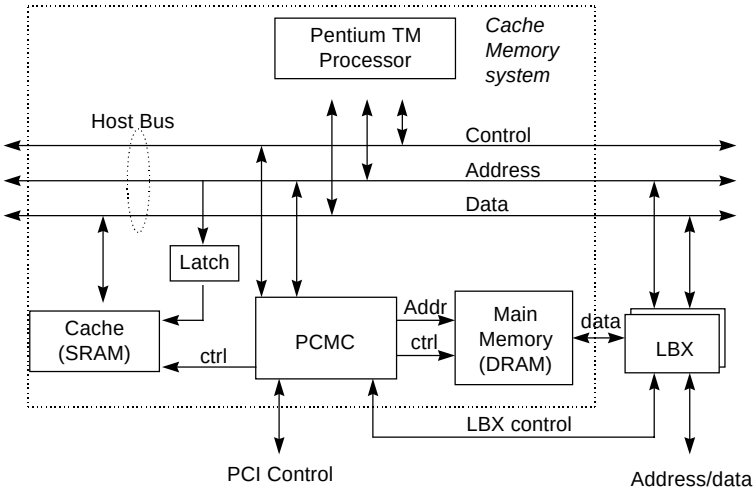


Fig. 1 Pentium-cache memory system block diagram

신호배선을 위해서는 0.25 Oz 구리 박막층과 유전체로는 유전율 4.7을 갖는 100㎛ 두께의 FR-4를 사용하여 설계하였다. 안정된 전원 및 접지 신호를 위해서 2층의 전원면/접지면을 삽입하였고, 실장되는 칩의 입출력 단자와 X/Y 신호 배선층과의 연결을 위해 패드/신호 분배층을 사용하였다. 신호 배선을 위해서는 4층의 X신호층, Y신호층의 엇갈린 구조로 배선을 실시하여 각 층간의 도선의 겹치는 면을 최소화하였다. 외부 보드와의 물리적 전기적 연결을 위해서는 BGA 패키지 구조를 사용하였다.

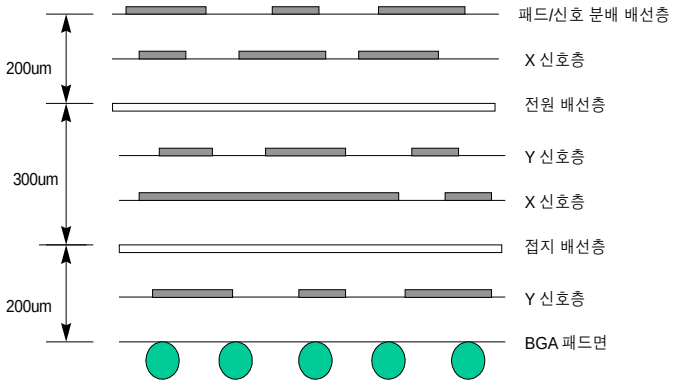


Fig. 2 MCM-L BGA substrate

도선 규격은 배선폭/배선피치 = 100㎛/250㎛ 배선 규칙을 사용하였고 배선되는 위치에 따라 1층 면의 마이크로 스트립 라인, 2층/7층의 삽입된 마이크로 스트립라인 그리고 4층/5층의 전원/접지면 사이에 중심에서 이탈된 스트립 라인이 있다. 비아홀은 내부직경/외부직경 = 300㎛/500㎛, 최소 피치는 900㎛로 하였고 BGA ball을 위한 solder pad는 1000㎛ 지름과 2000㎛ 피치의 규격으로 형성하였다.

칩의 배치는 실장되는 부품의 최대 소모전력(펜티엄칩:10.1W, SRAM:1.2W)과 실장 면적의 비를 고려하여 모듈 전체에서의 균일한 열분포가 이루지게 배치하였다. 열분석 도구인 Autotherm을 이용하여 모듈의 동작 온도(Tcase < 70℃)를 유지하기 위한 회로 기판 및 모듈의 케이스 재질, 열방출 핀(fin)의 크기 및 공기 흐름의 빠르기 등을 결정하였다.[11,15] 배선 길이를 최소화하기 위해서 네트를 spanning tree 구조로 가정하고 각 칩의 실장 방향을 변화시킬 때 칩 패드피치를 기본단위로 하는 맨하턴 길이를 계산하였고, 최소의 배선길이(계산결과:8660.72㎜)를 갖는 칩 배치 구조를 사용하였다.[2]

외부 회로와 연결시키기 위한 입출력 단자는 solder ball을 이용한 BGA(Ball Grid Array)패키지 방식을 이용하여 모듈 밑에 I/O ball을 형성하였고, 네트를 구성하는 신호 패드와의 길이가 균일하게 되도록 solder 패드를 형성하였다. 배치된 부품의 신호배선은 모든 배선층에 균일한 배선 밀도 분포를 유지하도록 설계하였다.[16] 회로 배선은 자동 배선을 위한 툴인 멘토사의 MCM- Station을 사용하였다. 표 1은 배선된 결과를 보여주며, 모듈의 배선밀도는 약 35.3 ㎝/㎠ 이다. 그림 3은 배선된 결과를 나타내는 펜티엄 칩 MCM-L 모듈 회로 배선도이다.

Table 1. TCP Pentium chip module routing result

신호층	배선길이 (㎝)	배선밀도* (㎝/㎠)	배선면적** (㎠)	효율 (%)
1층	216.42	8.66	5.41	21.6%
2층	184.08	7.36	4.60	18.4%
4층	157.79	6.31	3.95	15.8%
5층	122.68	4.91	3.07	12.3%
7층	201.89	8.07	5.05	20.2%
총배선길이	882.86	35.3	22.07	88.3%

$$*\text{배선밀도} = \frac{\text{배선길이}}{\text{모듈면적}} = \frac{\text{배선길이}}{50\text{㎜}\times 50\text{㎜}}$$

$$**\text{배선면적} = \text{배선길이}\times Pitch = \text{배선길이}\times 250\mu\text{m}$$

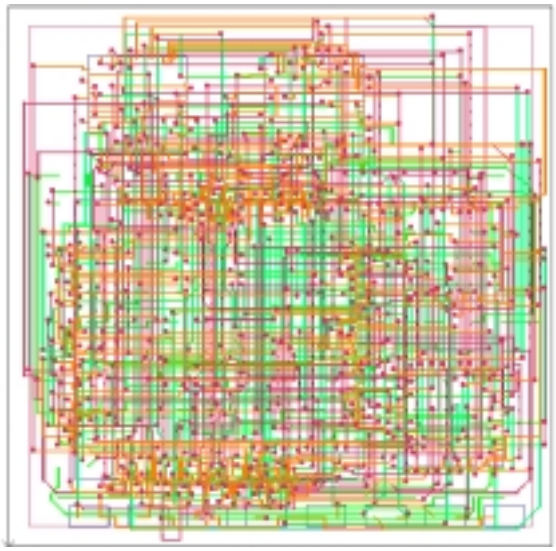
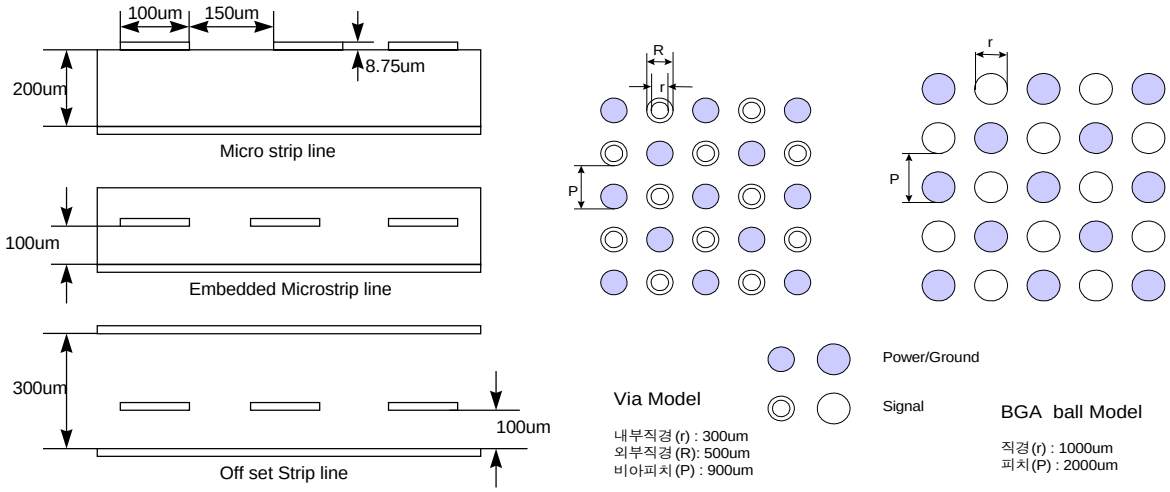


Fig. 3 Routed MCM-L BGA substrate

4. 전기적 변수 추출

4.1 회로요소의 전기적 변수

8층의 MCM-L 회로기판 구조에서 나타나는 회로배선 요소는 칩과 칩을 연결하기 위한 배선 도선과 층간의 연결을 위한 비아홀, 외부 보드와의 연결을 위한 BGA Ball이 있다. 배선 도선의 규격으로는 배선폭/배선피치 = 100㎛/250㎛ 규격을 따랐고, 배선층에 따라 1층 배선층의 도선은 마이크로스트립 라인 구조로, 2층과 7층 배선층의 도선은 삽입된 마이크로스트립 라인 구조로, 그리고 4층과 5층의 배선층에 있는 도선은 전원/접지면 사이에 배선되어있는 구조로서 중심에서 이탈된 스트립 라인 구조로 모델링 하였다. 비아홀은 FR-4 유전체에 삽입된 원통형 도체로 된 구조로써 내부직경/외부직경 = 300㎛/500㎛ 이고 비아간의 최소 피치는 900㎛이며 각 층간 연결길이는 최소 100㎛이다. BGA ball은 외부 보드와 연결할 때 형성되는 공기 중에 노출된 원형 도체로써 직경/피치 = 1000㎛/2000㎛로 모델링하였다.[12,13] 그림 4는 MCM-L BGA 기판 상에 나타나는 각각의 회로요소의 모델링 구조를 보여준다. 도체 구조에 따른 전기적 변수 추출을 위해서는 moment method를 이용한 2차원 전송선 분석 툴인 Quad사의 XFX 프로그램을 사용하였다.[14]



a) 단면 배선 구조 b) via, ball 규격

Fig. 4 Basic circuit element modeling

각 도선 구조의 축전용량 및 인덕턴스 값은 배선층의 위치에 따라 표 2와 같이 다른 값을 갖는다. 3층과 6층은 전원면/접지면으로 모든 배선층의 접지층이다. 2층 및 7층 배선층은 삽입된 마이크로스트립 구조를 가지며 전기적 변수 값은 표 2-a와 같이 단위 인치 당 자기인덕턴스/자기캐패시턴스 = 10.2nH/2.8pF 값으로 계산되고, 도선 사이의 거리가 150㎛일 때 상호인덕턴스/상호캐패시턴스 = 1.42nH/0.41pF으로 자기인덕턴스 및 자기캐패시턴스의 15%의 값을 갖는다. 4층 및 5층 배선층은 중심에서 이탈된 스트립라인 구조를 갖게 되고 표 2-b에 나타난 값과 같다. 8층 MCM-L 구조에서 형성되는 비아홀은 드릴홀/패드지름 = 0.3/0.5㎜이고 층간의 연결에 따라 비아홀의 길이는 인접된 두 층을 연결하는 길이 100㎛ 비아와 2개의 core(양면기판)를 연결하는 300㎛ 비아 그리고 회로기판을 관통하는 700㎛ 관통홀 비아가 나타나며 이때 각각의 자기인덕턴스 및 자기 캐패시턴스는 표 2-c의 값을 갖는다. BGA ball의 경우 실장 시

형성되는 800㎛ 높이의 원형 도체이며 0.3nH/0.025pF의 값을 갖는다.

Table 2. Basic circuit elements electrical parameters

Basic circuit elements	Inductance (nH)	Capacitance (pF)
a. embedded microstrip line (3-lines)	$\begin{bmatrix} 10.175 & 1.420 & 0.431 \\ 1.420 & 10.175 & 1.419 \\ 0.431 & 1.419 & 10.137 \end{bmatrix}$	$\begin{bmatrix} 2.818 & -0.405 & -0.029 \\ -0.405 & 2.894 & -0.405 \\ -0.029 & -0.405 & 2.818 \end{bmatrix}$
b. offset strip line (3-lines)	$\begin{bmatrix} 9.161 & 0.710 & 0.067 \\ 0.710 & 9.104 & 0.710 \\ 0.067 & 0.710 & 9.158 \end{bmatrix}$	$\begin{bmatrix} 3.306 & -0.258 & -0.004 \\ -0.258 & 2.894 & -0.405 \\ -0.004 & -0.258 & 3.312 \end{bmatrix}$
c. Via hole (100,300,700㎛ Via)	0.025, 0.075, 0.175	0.02, 0.06, 0.14
d. BGA ball (800㎛ Ball)	0.300	0.025

4.2 MCM-L 모듈 네트의 전기적 변수

MCM-L 모듈의 전기적 특성과 잡음 특성을 분석하기 위해서는 4.1절에서 얻은 배선 구조에 따른 단위 길이 당 L, C 값을 이용하여 모듈의 전기적 변수 값을 구할 수 있다. 펜티엄 캐시 메모리 시스템을 8층의 MCM-L 모듈로 구성할 때 배선된 모든 신호선은 그림 5에서 처럼 도선 구조 및 인접한 도선과 결합된 도선의 수, 비아홀, 입출력 단자 구조 등 여러 가지 전기적 성분으로 분할될 수 있고 분할된 각 성분에 대한 전기적 변수 값을 계산하여 결합하면, MCM-L 모듈의 모든 네트에 대한 핀-핀 사이의 도선의 인덕턴스 및 캐패시턴스 값이 계산될 수 있다. 인접한 도선 사이에 끼치는 간섭 잡음 영향은 단위 인치 당 선간격이 500㎛ 이상이 될 경우 상호인덕턴스 및 상호 캐패시턴스 값이 자기 인덕턴스 및 캐패시턴스 값의 1% 미만의 값을 갖게 되어 무시할 수 있기 때문에 선간격 500㎛ 이내의 도선만을 분석 과정에서 고려하였다.

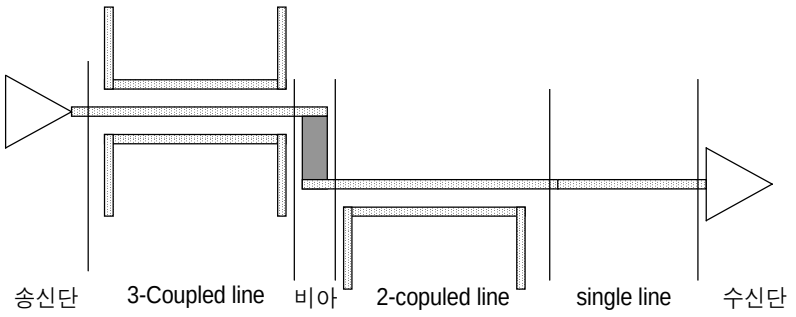


Fig. 5 Divide into basic circuit elements

펜티엄 칩 MCM-L 네트의 구조는 네트에 포함되는 핀(포트)의 수에 따라 두 개 이상의 핀을 갖는 다중포트 구조로 되어 있다. 다중포트 구조는 하나의 송신단과 하나의 수신단이 연결되는 단일포트 구조에 비해 여러 I/O 버퍼의 출력저항과 도선의 특성 임피던스와의 불일치, 네트가 분리되는 절점에서의 특성임피던스의 변화 및 연결되는 핀 수의 증가에 따른 배선길이의

증가와 이에 따른 간섭 길이의 증가 등 복잡한 전기적 특성을 갖는다.[8,14]

표 3은 펜티엄 모듈에서 선택된 몇 개의 네트에 대한 총 배선 길이와 이에 따른 자기인덕턴스/자기캐패시턴스 및 인접한 도선에 의한 상호인덕턴스, 상호캐패시턴스 값을 보여준다. HA11의 네트의 총 인덕턴스는 68.58nH이며 자기인덕턴스(62.53nH)와 상호인덕턴스(6.038nH)의 합으로 표현된다. 표 4는 address 네트 가운데 하나인 HA3 네트구조를 예를 들어 각 핀-핀 사이의 도선길이 및 인덕턴스, 캐패시턴스 값을 나타내었다. 펜티엄 칩(U9)과 캐시메모리 칩(U1,U2,U3,U4) 및 BGA ball(U100) 사이의 배선 길이는 33㎜~57㎜이며 이때의 각 핀-핀 배선에서의 신호지연($\sqrt{LC}$)은 0.68ns~0.79ns로 계산된다. 그림 6-a는 펜티엄 칩 모듈에서의 칩들 간의 자기축전용량 및 상호축선용량을 보여주며 그림 6-b는 자기인덕턴스 및 상호 인덕턴스 값을 보여준다. 이를 종합하면 펜티엄 칩 모듈에서 네트별 최대길이의 핀-핀 경로에서 축전용량은 6pF과 25nH의 인덕턴스 값을 갖는다.

Table 3. Total capacitance and inductance per net

Net이름	Net길이 (㎜)	축전용량 Co+Cm (pF)	인덕턴스 Lo+Lm (nH)	Zo(Ω)
HA3	149.40	17.14+0.094	58.53+0.292	58.42
HA11	128.55	10.13+0.549	62.53+6.038	80.15
HA30	34.95	3.47+0.045	14.90+0.17	65.49
HD0	64.58	6.87+0.21	26.99+0.58	62.38
HD30	52.83	5.87+0.005	21.56+0.012	60.59
HD63	79.98	8.86+0.172	32.96+1.88	62.11
ADSC-	95.15	9.057+0.134	41.45+1.17	68.09
CCS-	93.40	9.34+0.086	40.26+0.602	65.84
COE-	100.66	10.41+0.27	42.41+2.01	64.49

Table 4. Pin-pin capacitance and inductance(HA3)

핀-핀	길이(㎜)	L (nH)	C (pF)	delay(ns)
U9-U1	35.75	14.78	4.25	0.79
U9-U2	56.63	21.40	7.06	1.23
U9-U3	34.34	14.309	3.18	0.68
U9-U4	55.83	22.56	6.40	1.20
U9-U100	46.45	18.85	5.22	0.99
U1-U2	89.88	55.55	11.12	1.93
U1-U3	67.59	26.46	7.24	1.38
U1-U4	20.08	8.55	2.15	0.43
U1-U100	10.70	4.84	0.97	0.22
U2-U3	88.47	33.85	10.05	1.84
U2-U4	109.95	42.10	13.27	2.36
U2-U100	100.58	32.29	9.11	1.71
U3-U4	87.67	35.01	9.39	1.81
U3-U100	78.29	31.30	8.21	1.60
U4-U100	20.63	7.96	2.26	0.45

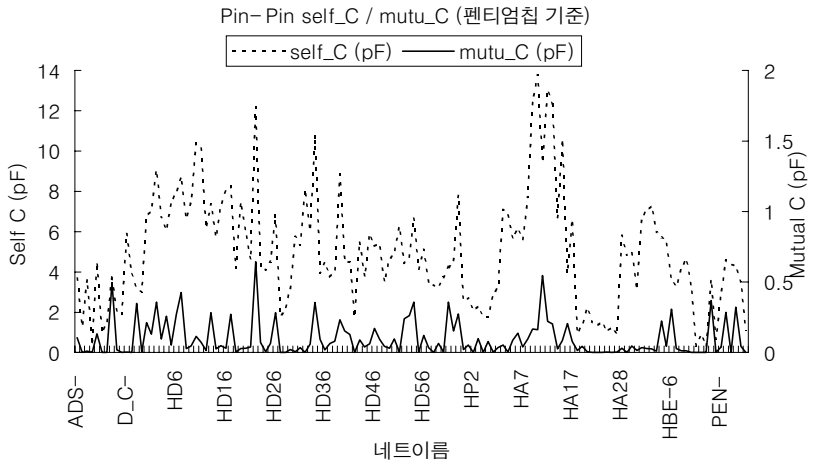


Fig. 6-a Pin-pin self and mutual capacitance

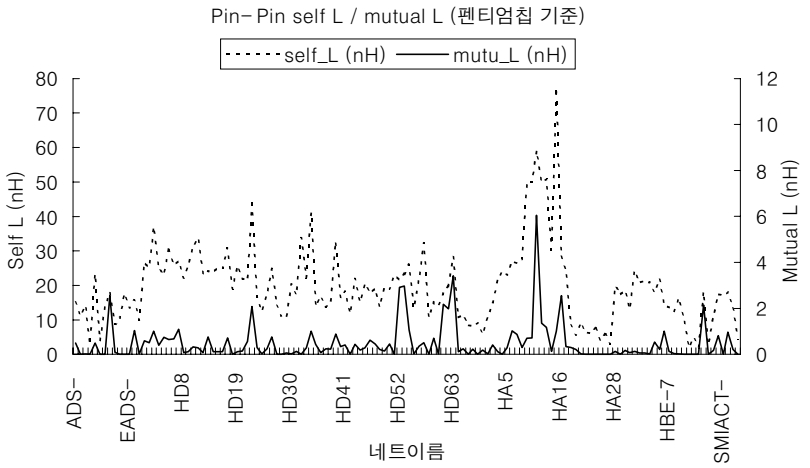


Fig. 6-b Pin-pin self and mutual inductance

5. MCM-L 모듈 잡음 분석

본 펜티엄 모듈에서는 전원/접지 네트를 제외하면 펜티엄 칩과 Burst SRAM을 연결하는 address 네트(HA3-HA18)에는 최대 6개의 핀이 연결되며, 모듈의 잡음은 address 네트에서 발생하는 잡음이 주요 요인인 것으로 간주할 수 있다. 그림 7-a는 다중포트 네트구조를 나타내며, 그림 7-b는 HA3 네트를 배선된 도선의 길이와 특성임피던스로 나타내었다.

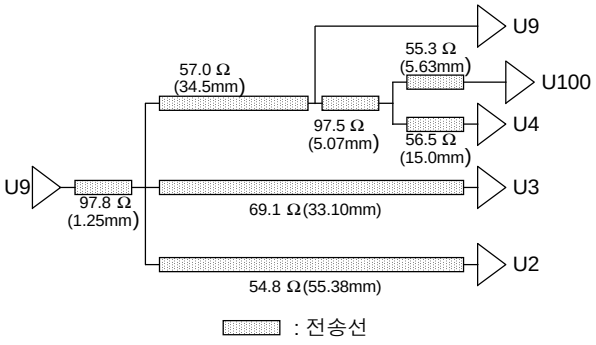


Fig. 7-a Net topology (HA3 net)

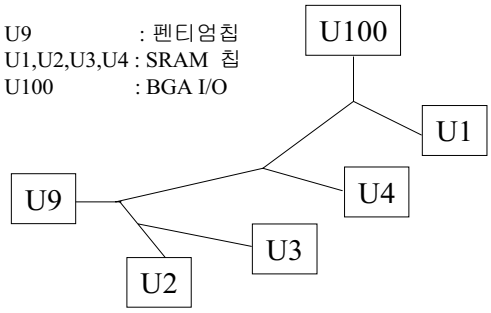


Fig. 7-b Equivalent circuit (HA3 net)

펜티엄 모듈의 잡음 특성분석을 위해서 기본회로 요소에서 추출된 전기적 변수 값과 송신단과 수신단의 등가회로를 사용하여 아날로그/디지털 신호분석 툴인 SPICE와 멘토사의 전송선 해석 툴인 XNS의 프로그램을 사용하여 분석하였다. 그림 8은 HA3 네트에서의 신호지연 및 잡음 특성 분석 결과를 보여준다.

다중칩 모듈 시스템의 잡음 특성은 기판 도선 요소의 전기적 변수와 더불어 연결되는 칩의 I/O 버퍼 특성을 고려하여 예측하여야 한다. 펜티엄 칩의 경우 입출력 신호의 종류에 따라 모두 8가지의 I/O 버퍼 모델을 갖으며 본 실험에서 I/O 모델링은 IBIS (I/O Buffer Information Specification) 데이터를 사용하였다.[14] 출력버퍼 모델의 상승시간 및 하강시간은 0.8V~2.0V를 기준으로 하여 Tr/Tf = 1.25ns~1.95ns/1.65ns~1.8ns이며 출력저항은 9.15Ω~37.2Ω사이로 나타났다.

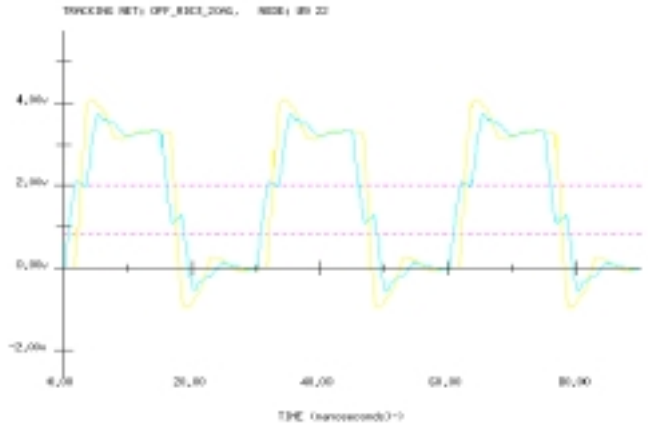


Fig. 8-a Signal delay and reflection noise

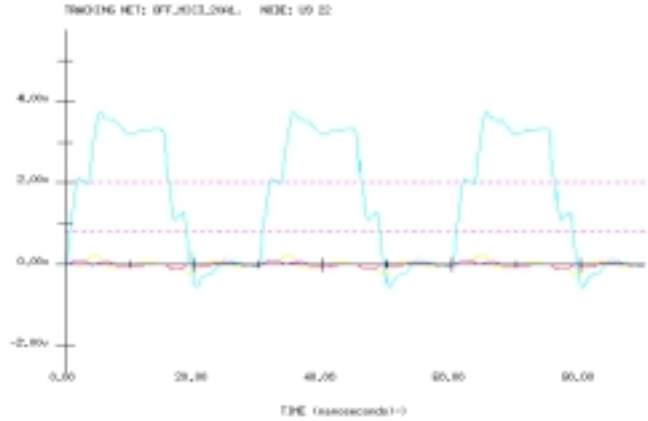


Fig. 8-b Crosstalk noise

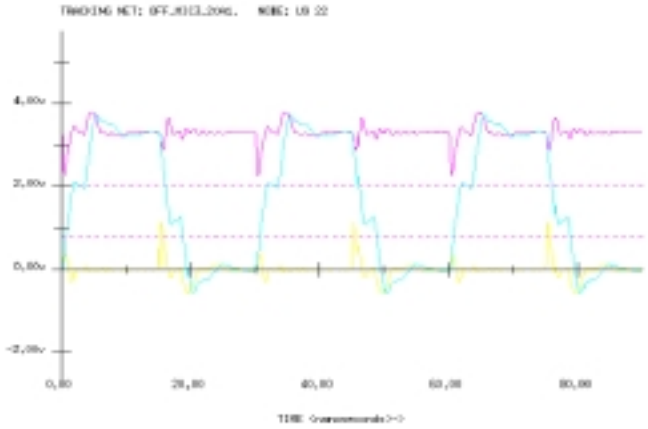


Fig. 8-c Ground bounce noise

그림 9는 펜티엄 칩 모듈에서 각 네트에 대한 신호지연 변화를 보여주고 있다. 신호지연 시간은 신호 파형의 1.5V가 되는 시간을 기준으로 하였을 때 네트를 통과하는데 생기는 시간 지연을 의미한다. 그림 9에서 보듯이 단일포트로 구성된 네트에서의 신호지연 시간은 0.3ns 정도인 반면 다중포트 구조에서는 최대 신호하강/신호상승=2.61ns/2.26ns의 신호지연 시간을 보여주고 있다.

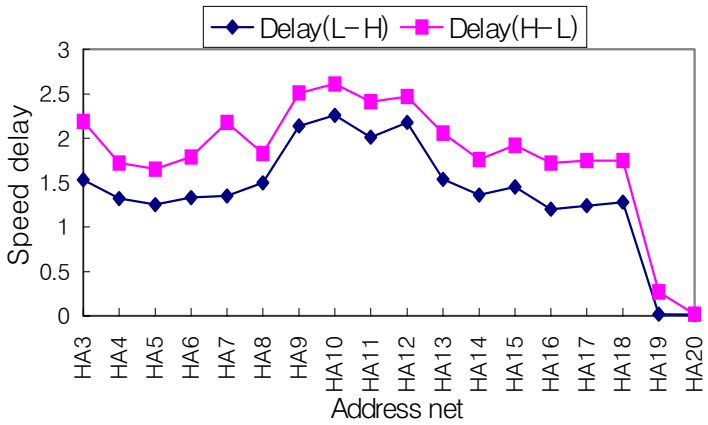


Fig. 9 Signal delay (address net)

그림 10은 address 네트에서 최대 반사잡음/간섭잡음을 보여준다. 반사잡음은 칩 I/O, 도선 및 비아홀 등 회로요소의 임피던스 불일치에서 기인한 것으로 본 모듈에서 송신단의 출력 신호를 3.3V로 가정시 최대 신호 Vpp는 3.90V 정도이다. 간섭잡음은 인접한 도선간의 전자기적 간섭에 기인한 것으로 인접한 네트 사이의 간격과 길이에 비례한다. 잡음요소가 과도한 경우 전달되는 논리신호의 왜곡을 유발할 수 있으므로 잡음의 정도가 신호파형(TTL level 입력 신호: Vih/Vil=2.0V/0.8V)을 왜곡시키지 않도록 제한하여야 한다. 반사잡음은 HA11 네트에서 최대 0.289V 정도로 나타났다. 전원잡음은 전원/접지를 연결하는 전선이나 리드의 인덕턴스와 전원에 흐르는 전류의 변화량에 비례하여 나타나며 펜티엄 모듈에서는 중요한 전기적 변수가 된다.

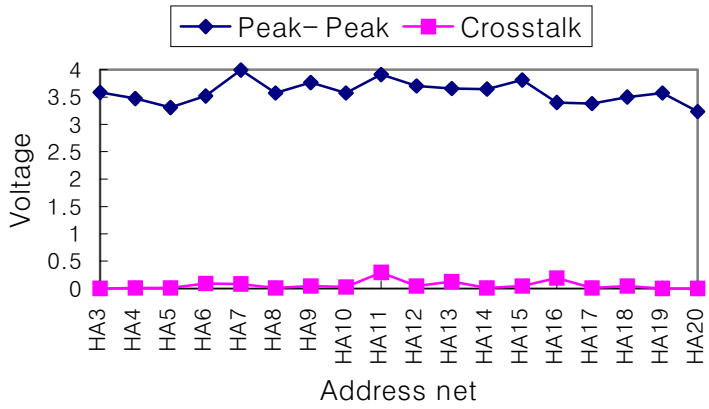


Fig. 10 Reflection and crosstalk noise

본 논문에서 구성한 모듈에서는 전원/접지면을 회로기판 사이에 삽입함으로써 전원/접지 배선길이를 최소화하였다. 그 결과 92개의 전원핀과 97개의 접지핀을 연결하기 위한 총 배선길이는 전원선/접지선 = 153.71㎜/ 203.56㎜로 100㎛ 배선폭을 가정할 경우 각 전원 접지핀 당 평균 인덕턴스는 0.66nH/0.95nH 정도이다. 따라서 본 모듈에서의 전원/접지선의 인덕턴스와 TCP 리드의 인덕턴스(6.1nH)를 전원/접지핀의 유효 인덕턴스로 가정하였다. 또한 1개의 전원/접지핀과 연결된 I/O 버퍼 수는 펜티엄 칩 상의 신호 핀과 전원/접지핀 수와 비례관계에 있다고 가정하고 3개의 I/O 버퍼가 동시에 스위칭될 때 전원 및 접지 핀에 유기되는 전원잡음을 모의 실험하였다. 그림 11에서 보듯이 테입 리드 인턱턴스에 따른 전원잡음의 크기는 최대 -0.75V 정도로 나타났다.

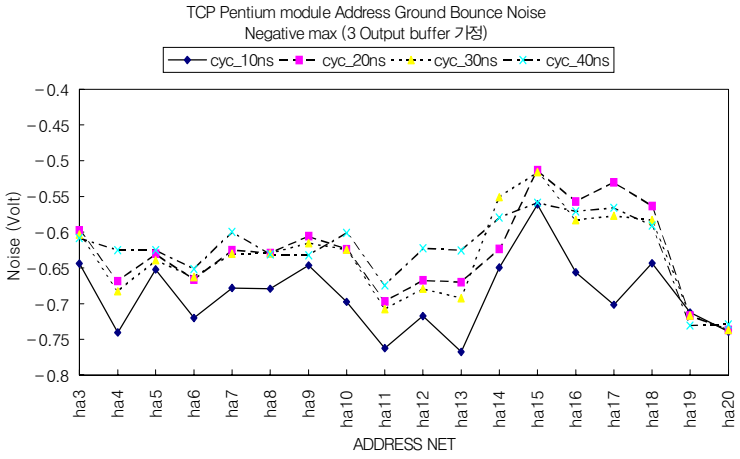


Fig. 11 Ground bounce noise (3-output buffer)

6. 결과 검토

이상에서 펜티엄 칩과 캐시메모리를 MCM-L 모듈로 구성하였을 때의 신호 및 잡음 특성을 분석하였다. 핀-핀 신호 지연은 Td = $\sqrt{LC}$ 식으로 근사할 수 있으며 표 4의 HA3 네트에서 부품 U2와 부품 U4 사이 배선의 인턱턴스 및 축전용량을 사용하면 신호지연은 2.36ns 정도로 계산되었고 모의 실험 결과 2.3ns 정도로 나타났다. 본 모듈에서 최대 신호지연은 다중포트 구조인 HA10 네트에서 2.61ns 정도로 나타났다. 이 지연시간은 펜티엄 칩과 캐시메모리 address 네트의 신호지연(min: 1ns, max: 8ns) 범위를 만족하며, MCM-L 모듈의 짧은 배선 길이로 인해 MCM 모듈에 실장되는 칩을 더욱 고속화시킬 수 있음을 보여준다.[11] 반사 잡음의 경우에도 펜티엄 칩의 신호 상승 및 하강 시간에 비해 짧은 배선 길이로 전송선 효과를 줄일 수 있고, 따라서 최대 Vpp = 3.9V 정도로 정격 전압 3.3V±10% (3.96V) 범위를 만족한 것으로 나타났다. 간섭 잡음은 x 신호층, y신호층을 엇갈린 구조로 배선하고 배선층 사이에 전원 및 접지면을 삽입함으로써 배선층간의 간섭길이를 최소화하였다 그 결과 간섭 잡음은 최대 0.289V 정도로 나타났으며 TTL 출력 신호(Voh/Vol = 2.4V/0.4V)와 TTL 입력 신호(Vih/Vil = 2.0V/0.8V)를 가정 할 때도 안정된 신호 전달이 가능하다. 전원 잡음의 경우 최대 -0.75V 정도로 나타났으나 이 결과는 전원/접지면의 축전용량과 Decoupling 캐퍼시터의 효과를 고려치 않았을 때이다. Decoupling 캐퍼시터의 크기는 아래와 같은 방정식을 통해 구해진다. 50Ω의 특성임피던스의 도선에 흐르는 전류량은 $I = \frac{Vcc}{Zo} = \frac{3.3V}{50} = 0.066A$, 이때 접지선의 전압의 변화

를 0.75V, Decoupling 캐퍼시터가 최대 5ns 안정화 시간을 요구한다면 이때 필요한 용량은 $C=\frac{dt}{dV}\times I=\frac{5ns}{0.75V}\times 0.066=0.44\times 10^{-10}F=44pF$ 따라서 100pF의 캐퍼시터를 사용하면 전원잡음의 크기를 더욱 효과적으로 축소할 수 있다.[17]

7. 결론

본 논문에서는 BGA MCM-L구조로 펜티엄 캐시메모리 모듈을 구성할 때 전기적 특성을 살펴보았다. 배선된 회로기판을 각 회로 성분으로 분할하고, 그 회로성분에 대한 전기적 변수값을 추출한 다음 신호특성 분석을 위해 추출된 값을 SPICE와 XNS 툴을 사용하여 모의 실험을 하였다. 그 결과 각 네트별 최대 핀-핀 사이 경로는 평균 25nH, 6pF의 크기를 갖으며, 신호지연은 최대 2.61ns, 피크-피크 전압값은 3.9V 정도 그리고 도선간의 간섭잡음은 최대 0.289V로 나타났다. 허용신호지연시간(<8ns)과 입력버퍼 (Vih/Vil = 2.0V/0.8V)의 요구 사양과 비교하면 MCM-L 모듈 구성 방법이 전기적 특성 개선에 적합함을 알 수 있다. 전원 잡음의 경우 3개의 송신단이 동시에 On/Off 될 때 0.75V정도로 나타났으나 Decoupling Cap.과 전원, 접지면의 축전용량을 고려하면 잡음의 크기를 축소할 수 있을 것이다.

참고문헌

(1) R.R. Tummala and E.J. Rymaszewski, *Microelectronics Packaging Handbook*, Van Nostrand Reinhold, 1989.

(2) M. Pecht, *Placement and Routing of Electronic Modules*, Marcel Dekker, Inc., 1993.

(3) J.H. Lau, *Ball Grid Array Technology*, McGraw-Hill, Inc., 1995.

(4) H.W. Markstein, "MCM-L Offers Easiest Path to Higher Performance," *Electronic Packaging & Production*, pp 68-71, Jan., 1993.

(5) P.A. Sandborn, H. Hashemi, L. Bal, and M. Abadir, "Technology Application Tradeoff Studies in Multichip Systems," *IEEE Trans. Components, Packaging and Manufacturing Tech.*, pp 161-169, vol.17, no.2, May., 1994.

(6) P.D. Franzon and R.J. Evans, "A Multichip Module Design Process for Notebook Computers," *IEEE Computer*, pp 41-49, Apr., 1993.

(7) A. Tanaka, H. Shinohara, K. Yamada, M. Honda, T. Hatada, A. Yamagiwa, and Y. Shirai, "A CPU Chip-On-Board Module," *IEEE Trans. Components, Packaging and Manufacturing Tech.*, pp 115-117, vol.17, no.1, Feb., 1994.

(8) A. Sarfaraz, J. Crocker, and M. Nealon, "Electrical Design of an MCM Package for a Multi-Processor Digital System," *IEEE Trans. Components, Packaging, and Manufacturing Tech.*, pp 127-143, vol.18, no.1, Feb., 1995.

(9) A. Pappas and P. Treen, "Workstation Board Pushes SI Envelope," *Electronic Engineering TIMES*, Sep., 2, 1996.

(10) D. Anderson and T. Sharnley, *Pentium Processor System Architecture,* MindShare, Inc., 1993.

(11) Intel Corporation, *PentiumTM Processors and Related Products*, Order number: 241732-002.

(12) S. Simovich, S Mehrotra, P. Franzon, and M. Steer, "Delay and Reflection Noise Macromodeling for Signal Integrity Management of PCBs and MCMs," *IEEE Trans. Components, Packaging, and Manufacturing Tech.*, pp 15-20, vol.17, no.1, Feb., 1994.

(13) M.E. Goldfarb and R.A. Pucel, "Modeling Via Hole Grounds in Microstrip," *Microwave and Guided Wave Letters*, vol.1, no.6, Jun., 1991.

(14) Mentor Graphices, *Transmission Lines and Crosstalk Products User's Manual,* Order number: 058667.
(15) Mentor Graphices, *AutoTherm User's Manual*, Software Version 8.4_2.
(16) Mentor Graphices, *Layout User's Manual*, Software Version 8.4_3
(17) H.B. Bakoglu, *Circuits, Interconnections, and Packageing for VLSI,* Addition-Wesley Publishing Company, Inc., 1990.