

표준 CMOS 공정으로 집적화 된 프린터헤드 노즐분사 제어회로
A Novel Standard CMOS Process Integrated Circuit for
Controlling the Nozzle Firing of Ink-Jet Printer Head

정승민(정보통신과), 홍현석(정보통신과)

Seung-Min Jung, Hyeon-Seok Hong (Dept. of Information & Communication)

Key Words : Printer Head(프린터헤드), Ink-Jet(잉크젯), ASIC(주문형반도체), Nozzle Control(노즐제어), Integrated Circuit(집적회로)

ABSTRACT : In this paper, we designed a novel circuit for controlling the nozzle of Ink-jet printer head. We were able to increase the number of nozzles by reducing the number of input or output PADs using new circuit. Full circuit for controlling 320 nozzles was designed and simulated by ASIC full custom design methodology, then layout was completed and the chip was fabricated by applying 3.0 μ m standard CMOS process technology. Chip was tested by our new methodology and fully verified for input stimulus.

1. 서론

지금까지의 노즐분사제어용 heater chip은 그림 1과 같이 내부에 2차원 매트릭스 구조로 된 address line과 primitive line을 사용하여 감열용 저항을 동작시킨다.^{[1][4][5][6]} 그러나 이러한 방식은 nozzle 수 증가에 따라서 heater chip의 입력신호(pad)가 많아져서 FPC(Flexible Printed Circuit)의 크기 증가 등의 문제로, 대 용량의 nozzle을 갖는 heater chip으로는 한계가 있다. 그러므로 본 논문에서는 입력신호 개수가 적어지도록 heater chip 내의 논리회로를 추가하여 프린터 본체로부터 데이터를 직렬로 전송 받는 새로운 방식의 잉크젯프린터 헤드의 노즐분사 제어용 chip을 설계하였다.

본 논문에서 개발된 회로는 잉크젯프린터 헤드가 갖고있는 320개 노즐을 주어진 timing 내에서 정확하게 제어하도록 설계되었으며 전체 chip에 대하여 로직 및 회로수준의 시뮬레이션을 거쳐 3.0 μ m급의 표준 CMOS 반도체 공정을 적용하여 layout을 완료하였으며 Wafer fabrication 과정을 거쳐 최종 적으로 chip으로 제작되었다. 제작된 chip은 입력 테스트 백터를 제작하여 동작검증을 실시하였다.

2. 로직회로 설계

기존의 감열식 잉크젯 프린터용 노즐분사제어 heater chip은 그림 1과 같이 구성되어있다. 즉 address와 primitive line이 매트릭스 구조로 배열되어 primitive line을 통하여 전달된 신호는 해당 address line과 select 신호에 의하여 선정된 NMOS를 on 시켜 저항을 통하여 열을 발생시킨다. 그러나 이와 같은 회로방식은 nozzle 수에 따라서 입력신호(address와 primitive)가 증가하므로, 많은 수의 nozzle을 갖는 프린터에 적용하기에 입력

pad수의 증가와 이에 따른 FPC의 면적증가 등의 문제점이 있다. [2][3][7]

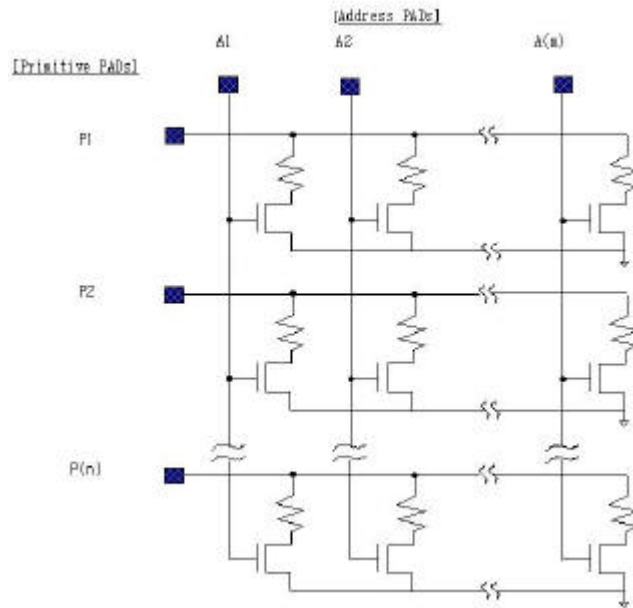


Fig. 1 Old nozzle control circuit

본 논문에서 제안한 헤드 chip은 그림 2와 같이 heater chip과 논리회로가 결합하여 프린터 본체에서 FPC를 통하여 직렬로 데이터를 전송하는 구조를 갖는다. 즉 직렬 데이터 전송과 논리회로의 동작을 위해서는 단지 4개의 신호(CLK, D_IN, EN, RSTN)만이 필요하다. 또한 Heater chip의 저항에는 순간적으로 고열을 발생시키기 위해 전류가 흐르므로 많은 수의 전원 line (V_{DD} , GND)이 추가된다. 그러나 새로운 방식의 회로에서는 data를 직렬로 전송하고 선택적으로 노즐블럭이 동작함으로써 기존의 입력 pad수를 대폭 줄일 수 있으므로 노즐 수의 확장을 기할 수 있다.^[7]

320개 nozzle 잉크젯 프린터용 헤드 chip의 전체 블럭도는 그림 3과 같다. 전체 논리회로는 320개 nozzle을 동작시키기 위하여 16개의 primitive 와 primitive 당 20개의 address line을 사용하였다. 즉 한 순간에 각 primitive 당 1개의 nozzle 구동회로가 on 됨을 의미한다. 설계된 각 블럭의 기능은 다음과 같다.

- 1) Shift16 : 직렬로 입력되는 데이터(D_IN)을 clk 신호로 동기하여 저장하는 16-bit shift register로 구성하였다. 저장된 16-bit 데이터는 gray4 블럭의 출력신호인 out에 의하여 reg4a 블럭으로 전송된다.
- 2) Reg16a : 병렬로 변환된 16-bit의 데이터를 저장하는 블럭으로 이 값은 nozzle 구동회로의 primitive line P(15:0)으로 사용된다. 또한 rstn 신호에 의하여 초기화된다.
- 3) Gray16 : 16진 카운터 회로로써 gray code를 사용하여 동작 시 glitch의 발생이 없다. clk 신호의 falling edge로 동기되어 있어서 Shift16 블럭에 16-bit의 데이터가 직렬로 로드된 후 gray16 블럭의 출력신호 out에 의하여 병렬 데이터로 reg16a 블럭에 저장된다. 또한 cnt20 블럭의 clk 신호로 out 신호가 사용되어 address 값을 증가시킨다. 즉 gray16 블럭의 출력 out 신호는 primitive 와 address line을 동작시키는 핵심 신호로 사용된다.

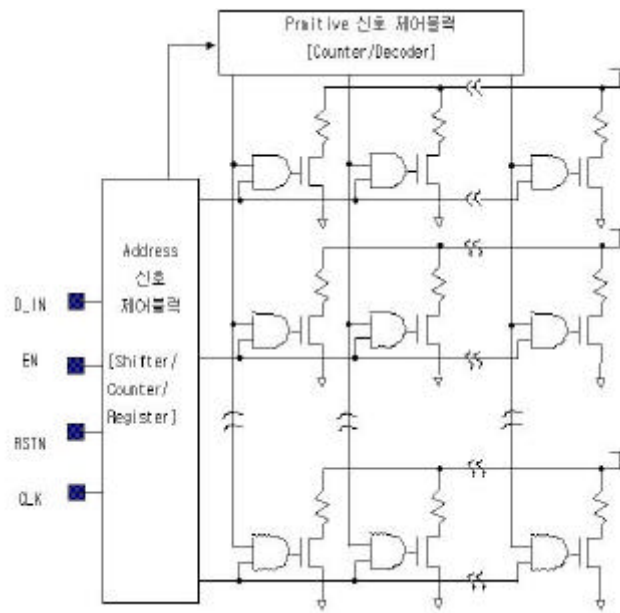


Fig. 2 New nozzle control circuit

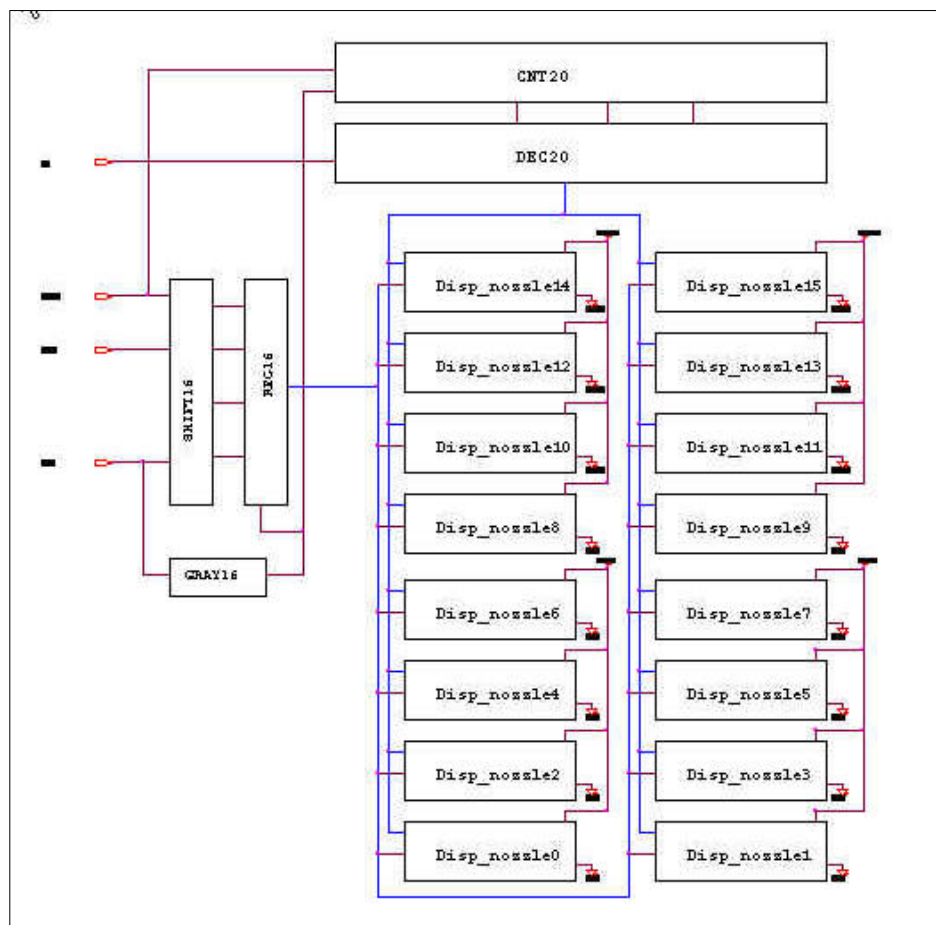


Fig. 3 Head chip block diagram

4) Cnt20 : 비동기방식의 20진 카운터를 변형한 회로로, 기본적으로는 20진 카운터 동작(1, 2, ...19, 20) 상태를 반복)을 수행하고 rstn 신호에 의하여 0 상태로 초기화된다. cnt20 블록은 address line인 ha(1:20)를 디코더인 dec20을 이용하여 생성한다.

5) Dec20 : 디코더 블록으로 cnt20 카운터 값을 디코딩하여 address line인 ha(1:20)를 생성한다. 한편 enable 기능을 갖는 EN 신호를 결합하여 nozzle의 firing pulse width를 조절하는 기능이 있다.

6) Disp : 20개 nozzle 구동회로 부분으로 primitive와 address 신호를 AND게이트에 묶어 nozzle 드라이브 NMOS 트랜지스터를 제어한다. 각 블록은 20개의노즐을 갖는 16개의 블록으로 구성하였다. 1개의 primitive인 disp 블록은 20개 nozzle 구동 회로에 해당한다.

설계된 논리회로의 동작 검증은 Cadence사의 Verilog-XL과 Avant!사의 HSPICE를 사용하여 진행하였고, simulation 결과는 그림 4와 그림 5와 같다. 그림 4에서는 clk에 동기되어 직렬 입력된 2개의 데이터(1111 1100 0011 0101)는 gray16 블록의 출력인 load 신호에 의하여 reg20에 저장되고(P[15..0]), cnt20 블록의 카운터 값을 디코딩한 address 신호인 R[4..0]과 nozzle에 토출 구간을 결정하는 en 신호에 의하여 nozzle 구동 출력신호(g_a[20..1] ~ g_P[20..1])에 올바른 데이터가 나타남을 검증할 수 있었다.

여기서 출력 값이 04000은 2진수로 0000 0100 0000 0000 0000로 15번째 nozzle에 잉크가 토출 됨을 나타낸다. 즉 그림 4는 16개의 primitive nozzle 중에서 첫 번째로 토출되는 동작을 나타낸다. 그림 5는 HSPICE를 이용하여 전체회로에 대한 회로수준의 검증결과를 나타내는 것으로서 논리수준의 결과와 동일한 결과를 확인할 수 있었다.

논리회로에 사용된 12종의 primitive cell library는 자체 설계를 하였으며 완성된 전체회로는 노즐블록을 제외하고 약 10000개의 트랜지스터 규모로 full custom ASIC 방식으로 설계되었다.

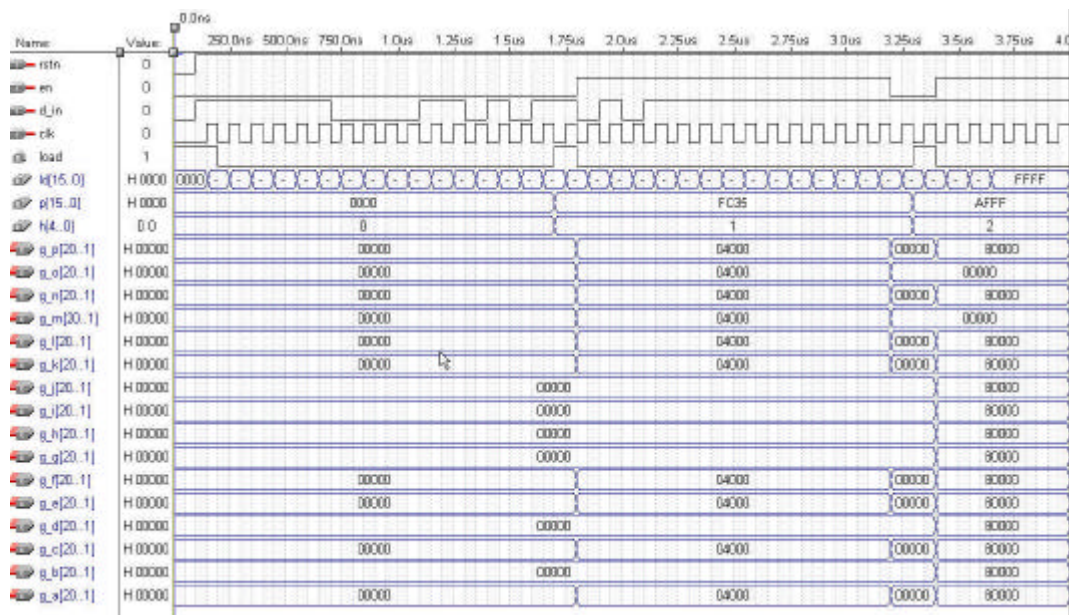


Fig. 4 Logic simulation result of full circuit

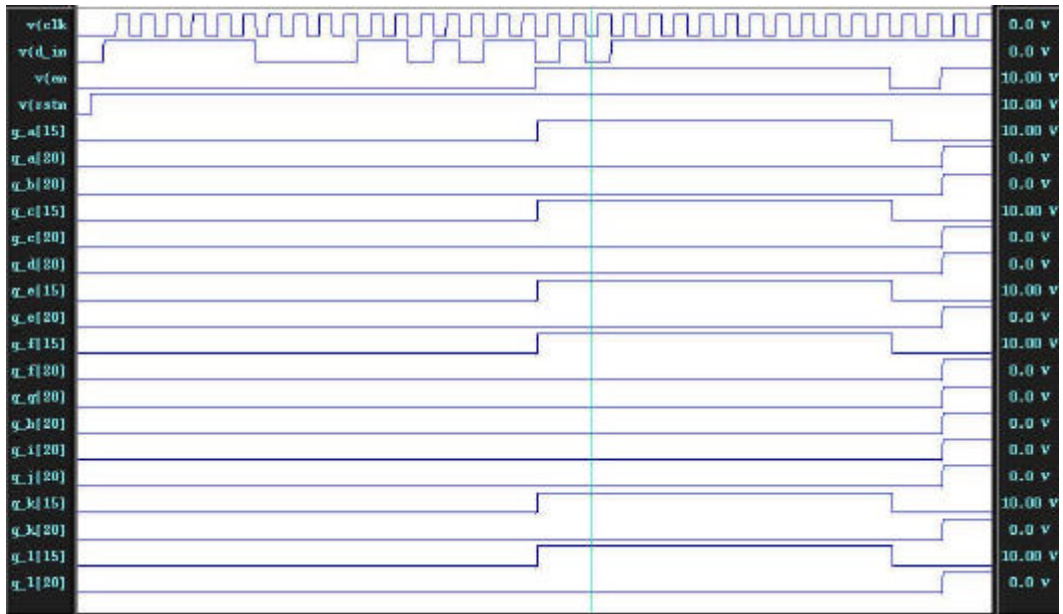


Fig. 5 Circuit level simulation result of full circuit

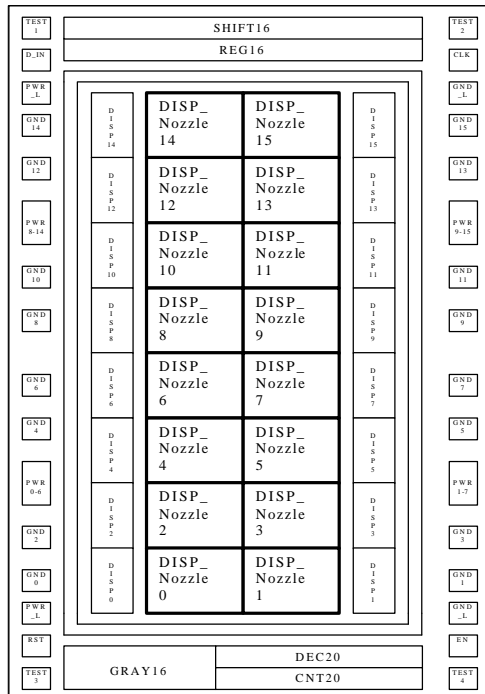


Fig. 6 Floor Planning

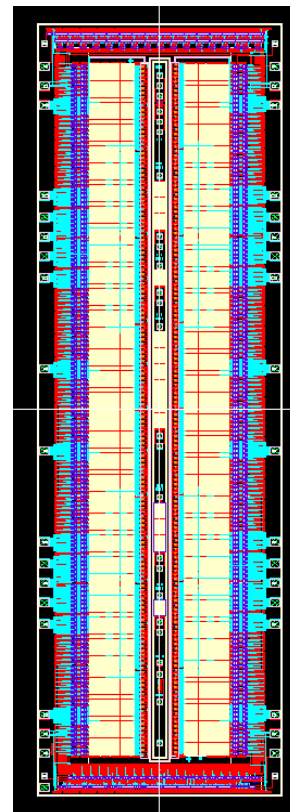


Fig. 7 Chip layout

3. Floor Planning 과 Chip Layout

그림 6에 chip floor planning을 나타냈다. nozzle 구동회로인 disp_nozzle 블록은 nozzle 좌표에 맞추어 중앙부에 위치 시켰다. 배선길이의 최소화를 위하여 disp 블록 16개를 disp_nozzle 부의 좌우에 위치시키고, Shift16 과 reg16은 상단에, gray16, dec20 과 cnt20은 하단에 위치시켰다. 여기서 reg16, gray16과 dec20 블록의 출력신호는 긴 배선이 필요하므로 버퍼를 추가로 삽입하였다. pad는 좌우 상하 대칭성을 고려하여 상단에 입력신호 D_IN 과 CLK를 하단에 RST 와 EN을 배치시키고 인근에 논리용 power 와 ground pad 를 배치하였다. 한편 nozzle 구동회로용 전원 pad는 primitive(= disp_nozzle)당 1개의 전용 ground pad와 4개의 primitive당 1개의 power pad를 배치하였다. 또한 논리회로의 전원 pad는 상하 대칭성을 고려하여 PWR_L과 GND_L을 각각 2개씩 배치하였다. 한편 헤드 chip의 실장 test시 논리회로의 동작을 분석하기 위하여 4개의 test pad를 4귀통이에 추가하였다. test pad는 모두 출력용이므로 FPC 연결시 open 상태로 처리하면 된다. 그림 7은 floor planning에 따라 완성된 chip layout으로서 3.0um 표준 CMOS 반도체 공정 design rule을 적용하였다. 표 1에서는 chip의 Pin Description을 나타내고 있다.

Table 1. Head Chip Pin Description

No.	명 칭	비 고	No.	명 칭	비 고
1	Test1	출력(shift16/q15)	40	Test2	출력(displ5/displ1)
2	D_IN	입력	39	CLK	입력
3	PWR_L	논리회로 전용	38	GND_L	논리회로 전용
4	GND	nozzle 전용	37	GND	nozzle 전용
5	GND	nozzle 전용	36	GND	nozzle 전용
6	PWR	nozzle 전용	35	PWR	nozzle 전용
7	PWR	<3개의 PAD를 하나로	34	PWR	<3개의 PAD를 하나로
8	PWR	묶어 사용>	33	PWR	묶어 사용>
9	GND	nozzle 전용	32	GND	nozzle 전용
10	GND	nozzle 전용	31	GND	nozzle 전용
11	GND	nozzle 전용	30	GND	nozzle 전용
12	GND	nozzle 전용	29	GND	nozzle 전용
13	PWR	nozzle 전용	28	PWR	nozzle 전용
14	PWR	<3개의 PAD를 하나로	27	PWR	<3개의 PAD를 하나로
15	PWR	묶어 사용>	26	PWR	묶어 사용>
16	GND	nozzle 전용	25	GND	nozzle 전용
17	GND	nozzle 전용	24	GND	nozzle 전용
18	PWR_L	논리회로 전용	23	GND_L	논리회로 전용
19	RST	입력	22	EN	입력
20	Test3	출력(gray16/out)	21	Test4	출력(cnt20/q4)

4. Chip 제작 및 TEST

제작된 chip은 2 가지 방법에 의해 동작을 측정하였다. 첫 번째는 자체 제작된 test

board를 사용하는 것과 두 번째는 로직어널라이저를 사용하는 일반적인 방법이 그것이다.

3.0 μ m 표준 CMOS 공정을 적용하여 제작된 6인치 wafer는 그림 8과 같다. 이미 언급한 바와 같이 헤드 chip은 직렬 데이터를 전송 받아 적절한 nozzle출력용 데이터를 생성하는 논리회로 블록과 nozzle 구동회로인 disp-nozzle 블록 16개로 구성된다. 한편 1개의 disp-nozzle 블록에는 20개의 nozzle이 배치되어 있다. 헤드 chip에는 32개의 pad가 배치되어 있다. 여기서 pad는 좌우 대칭을 유지하여 banding이 편리하도록 하였고 nozzle 구동 회로에는 disp-nozzle 블록 1개당 전용 GND pad cell을 적용하여 안정도를 높였다.

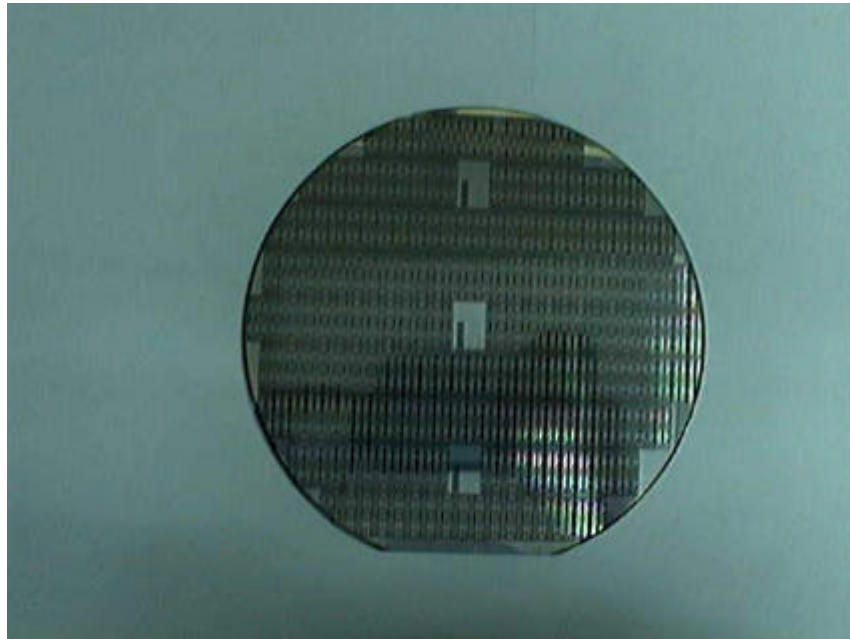


Fig. 8 3 μ m CMOS process fabricated 6-inch wafer

제작된 웨이퍼의 정상 동작 여부를 판정하기 위하여 시험 회로를 제작하였고, 헤드 chip용 웨이퍼 테스터의 블록도는 그림 9와 같다.

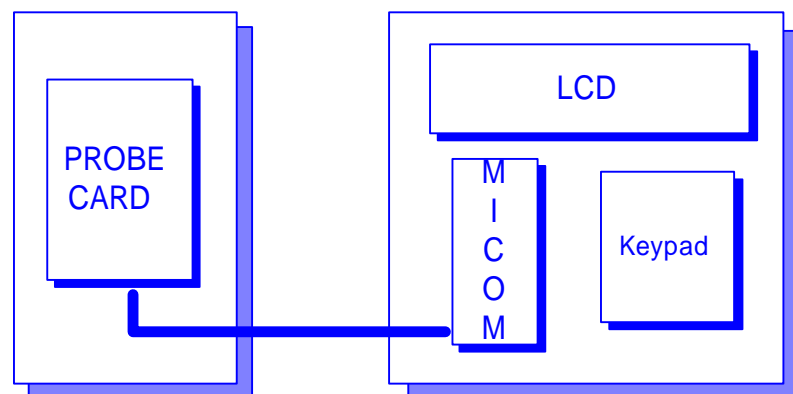


Fig. 9 Wafer tester block diagram

웨이퍼 테스터는 Probe 카드와 연결되어, 제작된 헤드 chip의 논리 동작을 검사할 수 있는

간단한 장비로, 프로그램과 제어용 마이콤과 입력용 keypad, 출력용 LCD로 구성하였다. 웨이퍼 테스터는 keypad의 조작에 의해서 마이콤에 저장되어 있는 헤드 chip용 입력 vector를 Probe 카드를 통하여 웨이퍼에 인가하고, 그때 출력값을 마이콤이 읽어서 저장되어 있는 예상 출력값과 비교하는 방법으로 제작된 웨이퍼의 정상 동작 여부를 검사하였다. 한편 웨이퍼 테스터의 전체 회로도에는 그림 10과 같다.

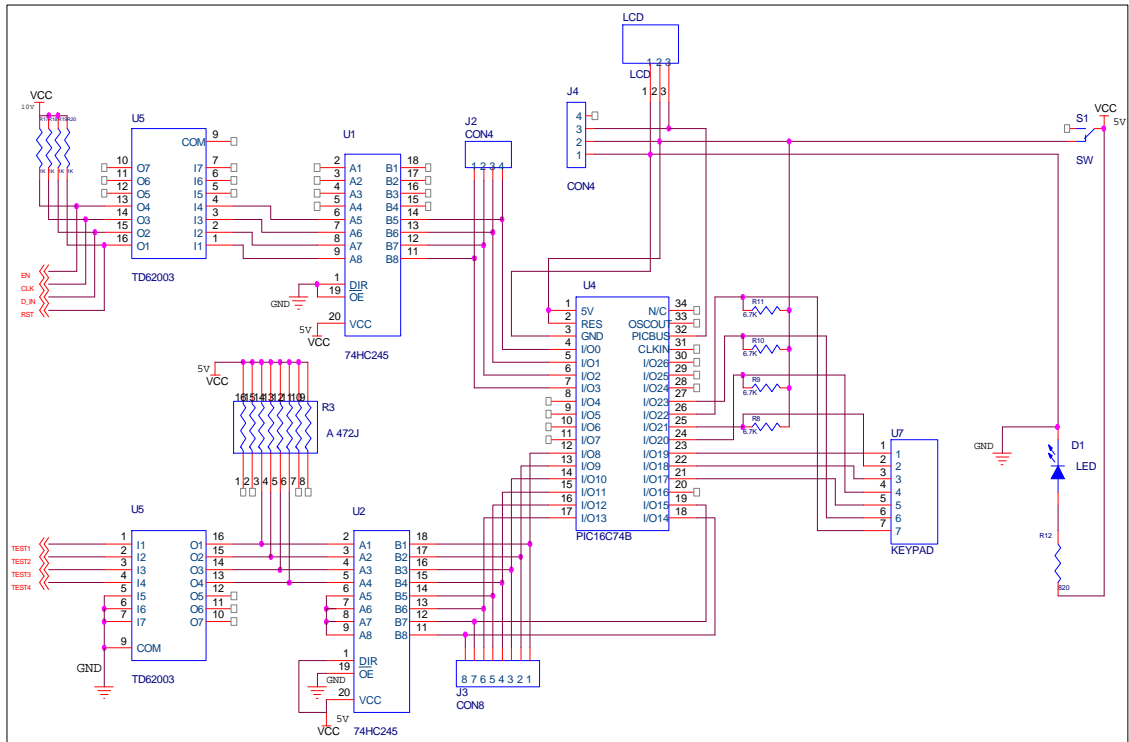


Fig. 10 Wafer tester circuit

웨이퍼 테스터의 동작은 초기 상태에서 LCD에는 auto와 manual의 2가지 동작 모드가 나타난다. 여기서 1번 auto 모드는 전체 vector가 에러가 발생하지 않는 경우에 자동으로 수행되며, 2번 manual 모드는 3번 key입력시 한 step식의 vector가 발생하여 헤드 chip에 인가되고, chip에서 생성된 출력 값은 웨이퍼 테스터에 입력되어 해당 step의 예상 출력 값과 비교되어 chip의 정상동작 여부를 LCD에 표시하도록 되어있다. 완성된 웨이퍼 테스터는 그림 11과 같다.

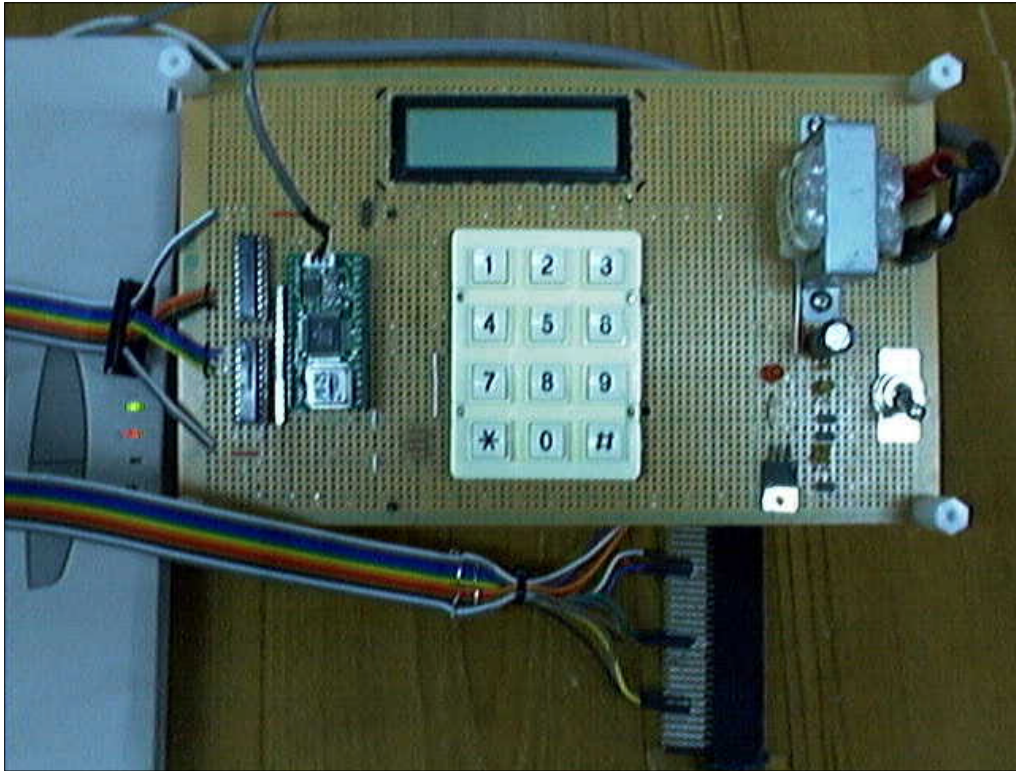


Fig. 11 Wafer tester

자체 제작된 테스터를 거친 chip에 대한 로직 어널라이저 측정된 파형은 그림 12와, 그림 13과 같으며, 여기서 A0, A1, A2, A3은 출력 신호로 test4(=CNT20), test2(=disp), test1(=shift16), test3(=load)를 나타내고, A4, A5, A6, A7은 입력신호로 CLK, RSTN, D_IN, EN을 나타낸다. 그림 12에서는 입력 clk신호의 16개마다 load 신호가 출력되어 그레이 코드 카운터의 정상 동작을 확인 할 수 있고 그림 2-13에서는 nozzle 그룹 내부의 20개의 primitive를 선정하는 cnt20의 동작과 nozzle로의 데이터 출력을 disp 신호로 확인 할 수 있었다.

이상의 test 과정을 통하여, 제작된 chip은 프린터 헤드의 320개 nozzle firing을 완벽하게 제어하고 있음을 확인할 수 있었다.

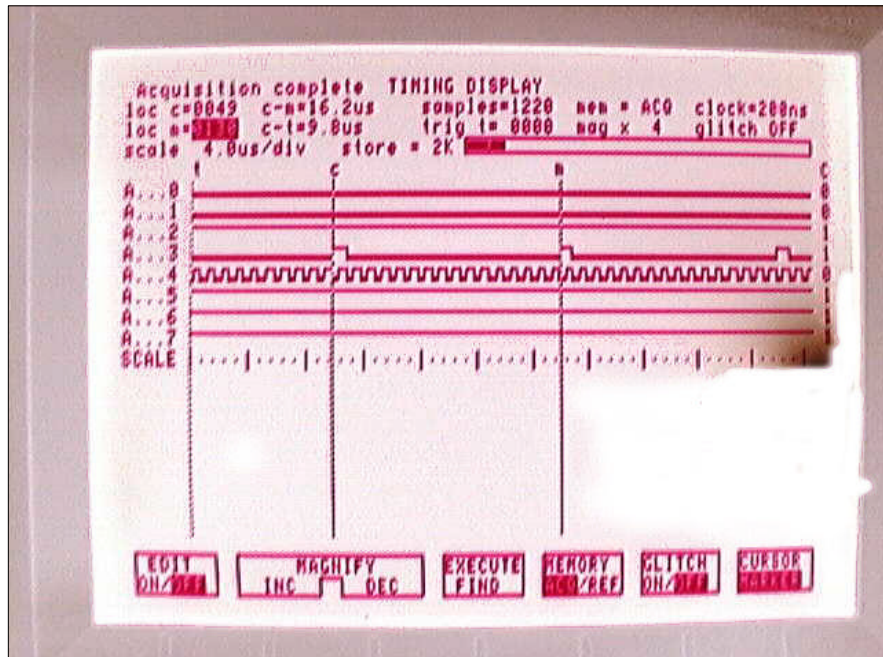


Fig. 12 Chip test wave pattern(1)

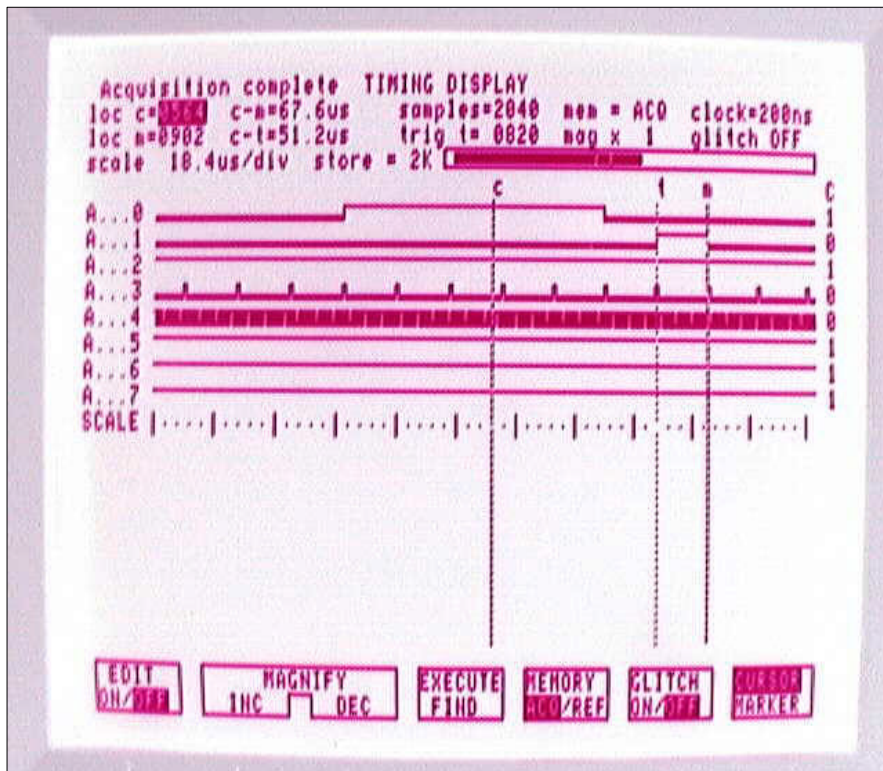


Fig. 13 Chip test wave pattern(2)

5. 결론

본 연구는 잉크젯프린터의 노즐을 통한 잉크분사 제어용 헤드 chip 개발에 관한 것으로 기존 회로방식의 단점인 노즐수 확장제한의 원인인 input/output pad 갯수 최소화를 목표로 하였다.

pad 수의 최소화를 위하여 기존의 primitive line과 address line 신호를 pad로 직접 전송하는 matrix방식을 개선하여 내부에서 데이터를 직렬로 전송하는 방식으로 바꾸는 새로운 회로를 설계하였다. 설계된 헤드 chip은 20개의 nozzle 구동회로를 갖는 16개의 primitive로 구성하여 총 320개 nozzle을 제어한다.

최종 논리회로는 full custom 방식으로 ASIC 설계 Flow에 따라 설계되었으며, Verilog-XL 및 HSPICE를 사용하여 logic level과 circuit level simulation을 수행하여 검증하였으며 최종으로 LVS용 netlist를 추출하였다. 설계된 헤드 chip은 nozzle 블록을 제외한 논리회로부가 10000 트랜지스터 규모로 구성되었고, 각 sub-block의 gate 수, 배선길이와 동작관계를 고려하여 floor planning을 수행한 뒤 3.0 μ m CMOS design rule을 적용하여 layout을 하였다. Test pad를 포함하여 사용된 pad는 32개로 이것은 pad의 좌우상하 대칭성을 고려한 결과이다. Layout 검증을 마친 뒤 역시 3.0 μ m technology 표준 CMOS 반도체 공정을 이용하여 6인치 웨이퍼 상에 chip을 구현하였다.

제작된 chip의 동작검증을 위하여 자체 제작된 test board와 로직 어널라이저를 통하여 검증한 결과 프린터헤드의 320개의 노즐을 완벽히 제어하고 있음을 확인하였다.

본 chip은 양산 분석을 통하여 320개 이상의 노즐을 갖는 대규모 헤드 chip 개발에 응용됨은 물론 고속, 고기능 프린터에 적용이 기대되어 전량 수입에 의존하고 있는 프린터헤드 분야의 국산화에 기여할 것으로 보인다.

참고문헌

- (1) Tokunaga, Y. and Sugiyama, K., "Thermal Ink-Transfer Imaging" IEEE Trans. Electron Devices, Vol.ED-27, No.1, pp218-222, 1980.
- (2) Hatada, K., Fujimoto, H., Ochi, T., Ishida, Y. "Applications of new assembly method 'micron bump bonding method' " Electronic Manufacturing Technology Symposium, , Proceedings. Japan IEMT Symposium, Sixth IEEE/CHMT International, 1989.
- (3) Yoda, K., Morita, H., Mori, T., Shibuya, T., "Impact printer head using piezoelectric actuators", Applications of Ferroelectrics.,IEEE 7th International Symposium on , 1990.
- (4) Ishizuka, M., "Application of the thermal network method to the thermal analysis of thermal printer heads used in high speed thermal printers", Electronic Manufacturing Technology Symposium, Proceedings. Japan IEMT Symposium, Sixth IEEE/CHMT International, 1989.
- (5) Boglietti, A., Chiampi, M., Tartaglia, M., Cattaneo, S., Contessa, M., Garramone, A., "Analysis of a permanent magnet dot matrix printer head ", Magnetics, IEEE Transactions on , Volume: 25 Issue: 5 , Sept.1989.
- (6) Yuji H., Hisao H., Michio N., Takeshi M., Masanori Y., Tetsuo E., "A Thermal Printer Head with CMOS Thin-Film Transistor and Heating Elements Integrated on

a Chip“, ISSCC, 1988.

(7) 鄭昇敏, 洪賢碩, 文彰烈, 2001 “입출력 패드수가 줄어든 프린터 Head 노즐분사제어용 집적회로 설계”, 대한전기학회논문지, 제32권, p93-98, 2001.